AN14209

如何使用μTrace和Trace32在MCXA系列上执行边界扫描

第1版—2024年4月12日 **应用笔记**

文档信息

信息	内容
关键词	MCXA、边界扫描、μTrace、trace32
摘要	本文重点介绍如何在MCXA系列上进入边界扫描模式并执行边界扫描，还概述了JTAG和边界扫描技术。

1 介绍

MCXA系列是一款基于Cortex-M33的微控制器，具有多种高速连接功能，工作频率高达96MHz，配备了串行外设、定时器、模拟接口，并且功耗低。该系列支持JTAG边界扫描。本文重点介绍如何在MCXA系列上进入边界扫描模式并执行边界扫描，还概述了JTAG和边界扫描技术。

本应用笔记适用于MCXA系列MCU，但也适用于其他MCX系列，如MCXN。

为了更好地理解本文档，需要具备JTAG和边界扫描的基础知识。

2 JTAG和边界扫描

本章节提供有关JTAG和边界扫描的一般信息。

2.1 介绍

JTAG/边界扫描是一个包含四个端口的接口，允许访问大多数芯片上的特殊嵌入式逻辑。JTAG/边界扫描可以提供多种功能，包括以下部分或全部内容：

- 无需调试器的设备连接测试
- 闪存、CPLD和FPGA的逻辑编程
- 微处理器和微控制器中的调试逻辑，用于软件调试或快速测试与外设的连接，而无需嵌入式软件。

2.2 发展历史

测试访问端口（TAP）和边界扫描的架构在IEEE 1149.1标准中进行了定义。该标准的发展历史总结如下：

- 1985年：欧洲联合测试行动小组（**JETAG**）成立。
- 1986年：欧洲联合测试行动小组（**JETAG**）更名为联合测试行动小组（**JTAG**）。
- 1986-1988年：JTAG技术小组委员会制定并发布了一系列关于边界扫描标准化形式的提案。
- 1988年：这些提案中的最后一个，即JTAG 2.0版，被提交至IEEE可测试性总线标准委员会（P1149），并被P1149接受。JTAG提案成为可测试性总线系列标准的基础。
- 1990年：从1990年起，JTAG制定了用于修正、澄清和增强的补充版本。
- 1993年：制定IEEE 1149.1aTM-1993标准
- 1994年：制定IEEE 1149.1b-1994标准
- 2001年：制定IEEE 1149.1-2001标准
- 2013年：制定IEEE 1149.1-2013标准

2.3 基本原理

边界扫描是一种用于测试PCB上的和与IC内部的子模块间的互连的方法。为了执行边界扫描测试，需要在芯片上添加额外的逻辑电路。边界扫描单元被放置在内核逻辑电路与端口之间。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

在边界扫描测试中，芯片上的每个主输入和输出信号都辅以一个称为边界扫描单元的多功能存储元件。这些单元连接到一个移位寄存器，该寄存器被称为边界扫描寄存器。该寄存器可用于读取和写入端口状态。

在正常模式下，这些单元是透明的，内核与这些端口相连。在边界扫描模式下，内核与端口隔离，端口信号由JTAG接口控制。

边界扫描的基本原理如下图所示。

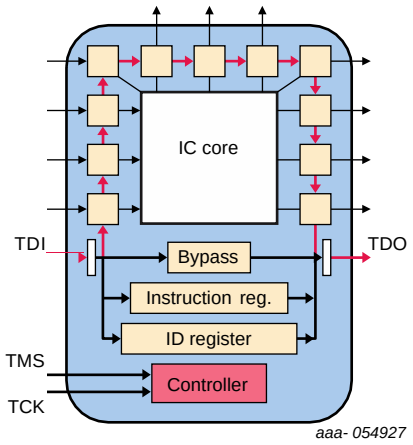


图1. 边界扫描基本原理

2.4 指令集

表1列出了IEEE 1149.1标准中定义的边界扫描指令。

表1. 标准指令集

指令	必选/可选	说明
BYPASS	必选	TDI通过单个移位寄存器连接到TDO
SAMPLE	必选	获取IC（集成电路）正常运行的快照
PRELOAD	必选	向边界扫描寄存器加载数据
EXTEST	必选	将边界扫描寄存器的预加载数据应用于端口
INTEST	可选	将边界扫描寄存器的预加载数据应用于内核逻辑电路
RUNBIST	可选	执行IC的自包含自检
CLAMP	可选	将边界扫描寄存器的预加载数据应用到端口，并选择旁路寄存器作为TDI和TDO之间的串行路径
IDCODE	可选	读取设备标识寄存器
USERCODE	可选	读取和写入用户可编程的标识寄存器
HIGHZ	可选	将IC置于非活动驱动状态（例如，将所有端口设置为高阻抗状态）

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

2.5 JTAG测试访问端口（TAP）

TAP是一个通用端口，可访问元器件内置的许多测试支持功能，包括测试逻辑。它至少由三个输入连接（TCK、TMS、TDI）和一个输出连接（TDO）组成。可选的第四个输入连接（TRST）为测试逻辑电路提供异步初始化。

表2介绍了TAP的信号。

表2. TAP信号说明

信号名称	I/O类型	说明
TCK	输入	为测试逻辑电路提供时钟
TMS	输入	在TCK上升沿时，TMS信号的值决定了TAP控制器（即控制测试操作的电路）的下一个状态。
TDI	输入	测试逻辑电路在TDI处接收串行测试指令和数据。
TDO	输出	测试逻辑电路的测试指令和数据的串行输出。
TRST	输入	提供异步初始化且低电平有效

2.6 BSDL

BSDL是边界扫描描述语言（Boundary-Scan Description Language）的缩写。虽然BSDL基于VHDL（极高速集成电路硬件描述语言）的句法和语法，但它并不是一种通用硬件描述语言，而是专门用来描述特定元器件内部边界扫描实现的关键方面。

通常，BSDL文件包含表3中所述的以下元素。

表3. BSDL元素

元件	说明
实体描述	设备名称或功能的说明
通用参数	封装或引脚映射说明
逻辑端口描述	引脚类型说明，如in、out、inout、linkage
标准使用声明	引用外部定义
元器件一致性声明	遵循的标准
设备封装引脚映射	引脚映射说明
扫描端口标识	器件上用于JTAG TAP的引脚说明，包括TCK、TMS、TDI、TDO
合规性启用描述	进入边界扫描模式所涉及的引脚，以及应用于引脚的电平（在使芯片进入边界扫描模式时非常有用）
指令寄存器描述	指令长度和指令代码，有时包括特定于器件的指令，也称为私有指令
寄存器访问描述	与特定指令相对应的寄存器

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

表3. BSDL元件（续）

元件	说明
边界扫描寄存器描述	该列表记录了边界扫描单元及其功能。

2.7 JTAG和边界扫描的更多信息

有关JTAG和边界扫描的更多信息，请参阅以下链接：

- JTAG和边界扫描的主页：https://www.jtag.com/
- IEEE 1149.1标准

1990版：https://standards.ieee.org/standard/1149_1-1990.html

2001版：https://standards.ieee.org/standard/1149_1-2001.html

2013版：https://standards.ieee.org/standard/1149_1-2013.html

3 构建边界扫描测试环境

本节详细介绍如何构建边界扫描测试环境。

3.1 边界扫描测试工具套件介绍

在本应用笔记中，边界扫描测试使用Lauterbach的工具套件，它是为Cortex-M提供的一体化调试和跟踪解决方案。该工具套件包括以下两个部分：

3.1.1 μTrace for Cortex-M

μTrace for Cortex-M是Lauterbach提供的针对特定架构的产品之一，具有以下功能：

- 片上/外部闪存编程、调试、跟踪、JTAG边界扫描
- 推荐用于单核Cortex-M微控制器
- 推荐用于仅包含Cortex-M的多核微控制器（单调试端口）
- 256Mbit跟踪存储器
- 连接主机的USB 3接口
- TRACE32数据流高达150Mbit
- 支持TRACE32混合信号调试器

本应用笔记使用LA-4533执行边界扫描。有关μTrace for Cortex-M的更多信息，请参见图2。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

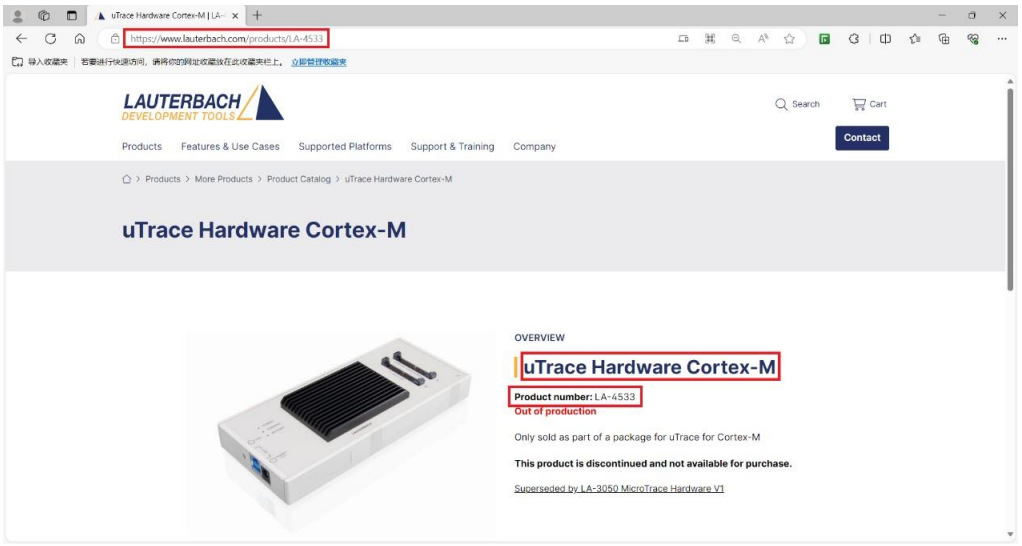


图2. μTrace for Cortex-M调试器

3.1.2 TRACE32

TRACE32是由Lauterbach开发的一款仿真测试工具，它运行在PC上。它与μTrace for Cortex-M配合使用，用于片上/外部闪存编程、调试、跟踪和JTAG边界扫描。它支持多种处理器架构，包括ARM、MIPS、PowerPC和DSP等标准处理器、软核和协处理器。

对于边界扫描，TRACE32不仅提供图形用户界面操作以进行交互式测试，还支持脚本以实现自动化测试。如果您的测试必须执行多种命令，如系统设置、JTAG、BSDL等，可以制作一个包含这些命令的脚本，并通过执行此脚本来完成测试。这样既高效，又能降低在命令行模式下出错的可能性。

TRACE32支持命令行输入。命令行输入位于TRACE32主页面的底部，以B::开头，允许通过输入命令来完成一系列操作，如系统复位、系统设置、BSDL文件加载、边界扫描测试等。

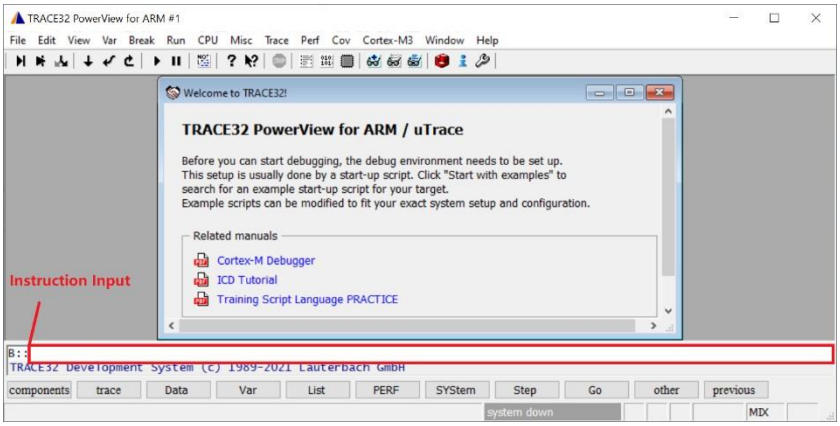


图3. TRACE32 for ARM的主页面

要下载TRACE32，参见图4。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

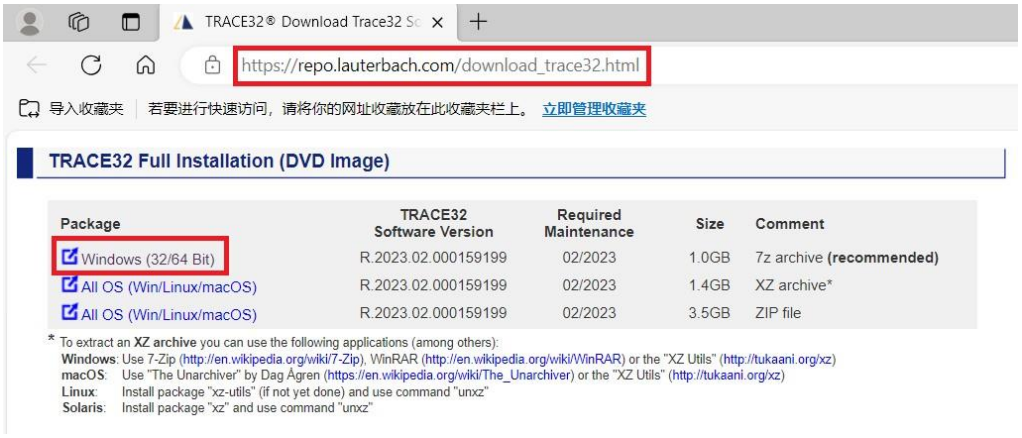


图4. 下载TRACE32

3.2 硬件环境

μTrace for Cortex-M包括：

- 通用调试器
- 调试电缆

图5. μTrace for Cortex-M的构成

图6所示为整个边界扫描系统的硬件连接原理图。

© 2024 NXP B.V. 版权所有。

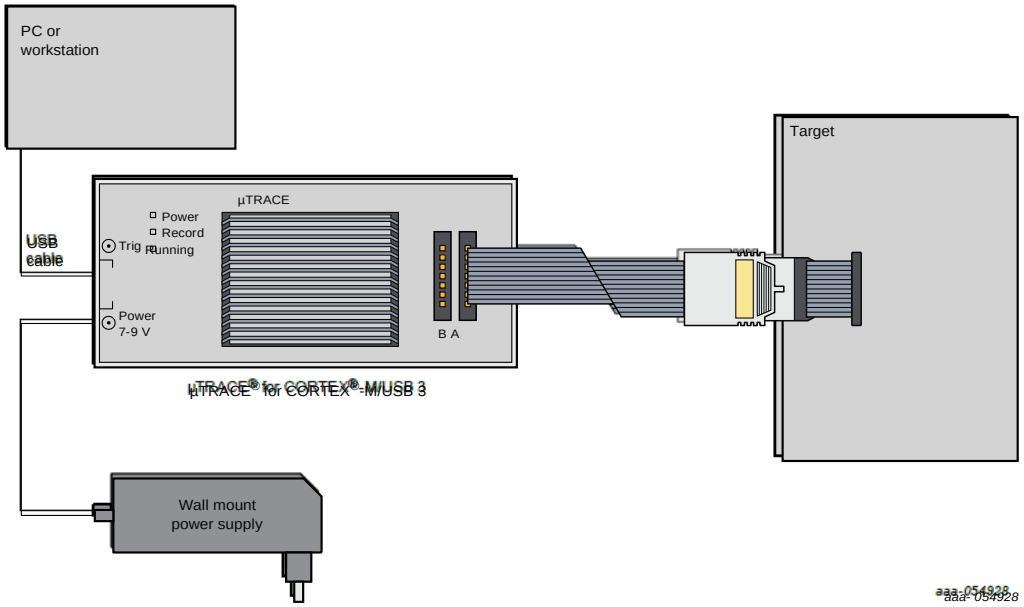


图6. 硬件连接原理图

给用户的建议包括：

- 为防止调试器或目标板受损，请勿在目标板通电时插拔调试器。推荐的上电或断电顺序如下：

— 上电：调试器 > 目标板

— 断电：目标板 > 调试器

- 调试器接口有1号引脚。请仔细检查方向，以防损坏调试器或目标板。

设置硬件环境的步骤如下：

1. 通过标准JTAG接口将µTrace for Cortex-M调试器连接到FRDM-MCXA153开发板。

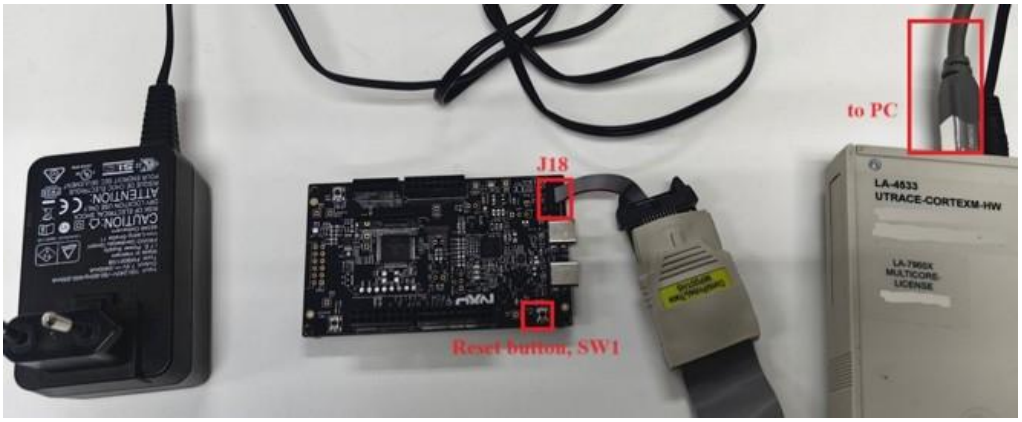


图7. 边界扫描硬件设置

2. 通过USB电缆将µTrace for Cortex-M调试器连接到PC，然后使用5V电源适配器给调试器上电。在PC上打开“**设备管理器**”。如图8所示，Lauterbach设备出现在Trace32设备中。如果未出现，请检查连接。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

图8. 设备管理器中的Lauterbach设备

3. 给目标板上电。

3.3 进入边界扫描模式

要让MCXA系列保持在边界扫描模式，请在边界扫描测试期间持续按住FRDM-MCXA153开发板上的**复位**按钮(SW1)。

4 交互式边界扫描测试

要使用μTrace for Cortex-M调试器和TRACE32软件执行边界扫描测试，请按照以下步骤操作：

1. 打开TRACE32软件并选择ARM32 USB。

图9. 打开TRACE32 for ARM32

2. TRACE32 for ARM32的主页面如图10所示。如果主页面底部的状态栏显示的是电源关闭（power down）而不是系统关闭（system down），请检查调试器的电源以及与FRDM-MCXA153开发板上JTAG接口的连接。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

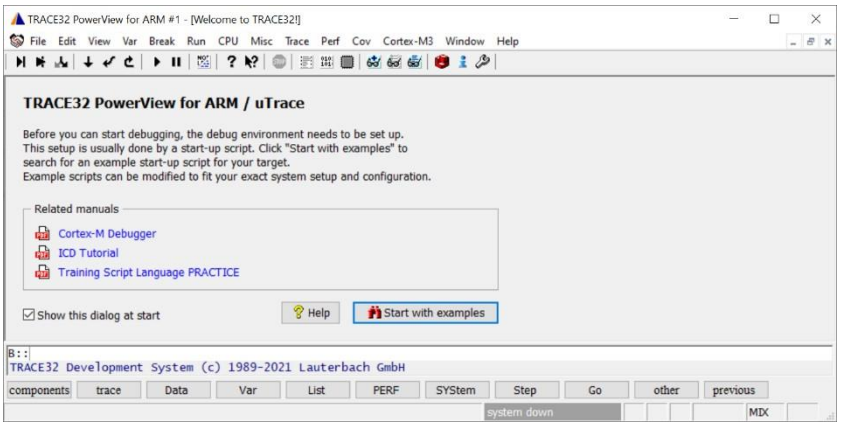


图10. TRACE32 for ARM32主页面

3. 点击菜单栏中的**CPU->System Settings...**，出现一个系统设置对话框。如图11所示进行系统设置。

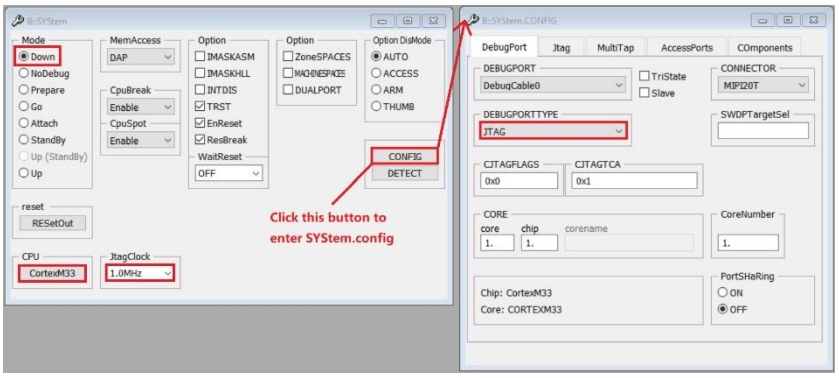


图11. 系统设置

4. 依次输入以下命令：

```
BSDL.RESet
BSDL.ParkState Select-DR-Scan
BSDL.state
```

5. 出现BSDL.state窗口。点击**FILE**按钮并加载要验证的BSDL文件。BSDL.state窗口如图12所示。

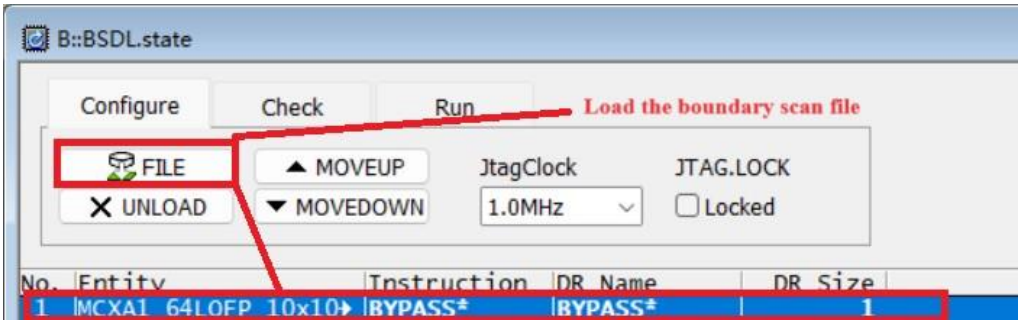


图12. BSDL. State窗口

6. 加载文件后，输入以下命令：

```
BSDL.SOFTRESET
```

7. 切换到BSDL.state窗口的**Check**选项卡。如图13和图14所示，点击**BYPASSall**按钮和**IDCODEall**按钮，查看两个结果是否都为通过。双击实体名称，如图14所示。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

IDCODE测试结果可在BSDL.SET窗口中看到，如图15所示。

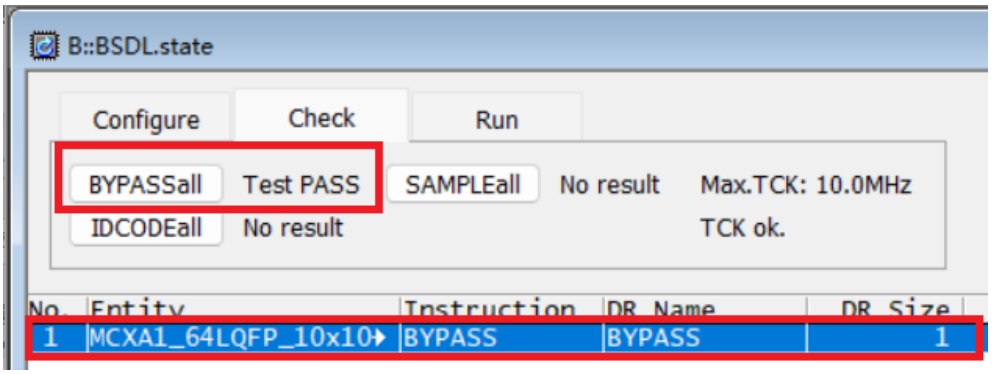


图13. 查看BYPASS

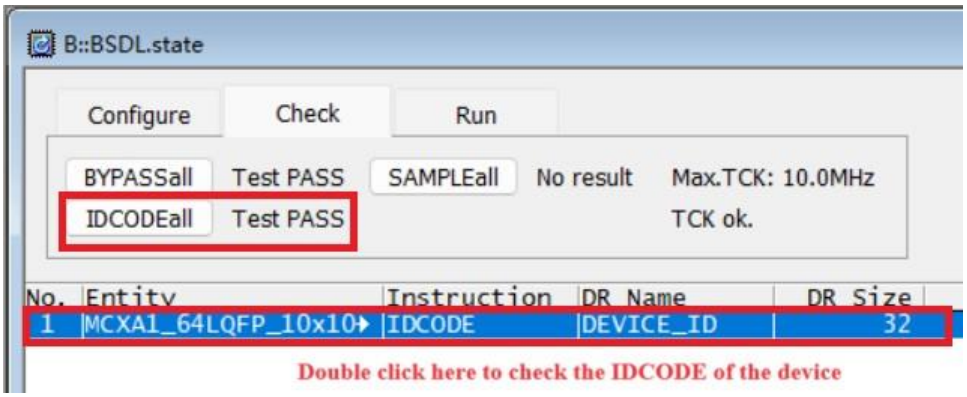


图14. 查看IDCODE

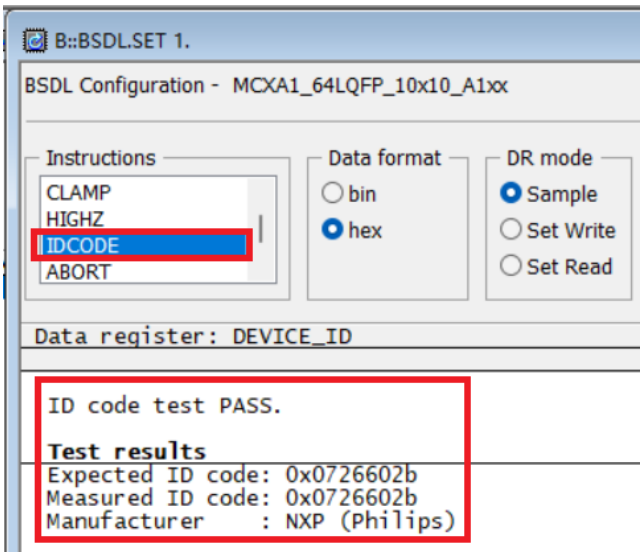


图15. IDCODE测试结果

8. 点击**SAMPLEall**按钮后，**No result**变为**Test done**。双击如图16所示的实体名称，可在BSDL.SET窗口中看到SAMPLE测试结果，如图17所示。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

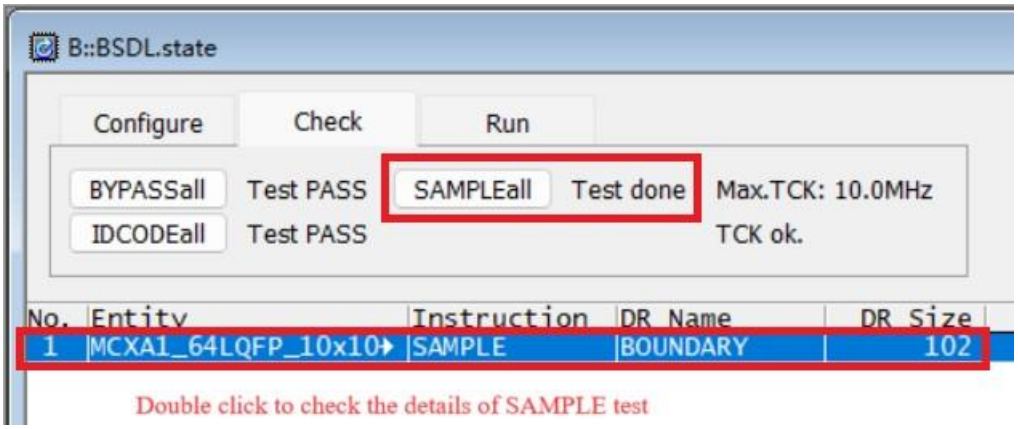
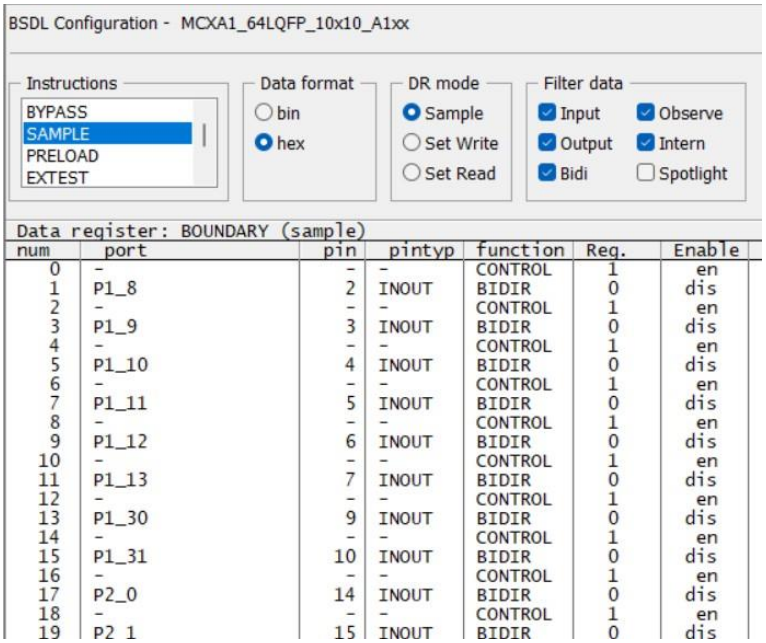


图16. 查看SAMPLE



num	port	pin	pintyp	function	Req.	Enable
0	-	-	-	CONTROL	1	en
1	P1_8	2	INOUT	BIDIR	0	dis
2	-	-	-	CONTROL	1	en
3	P1_9	3	INOUT	BIDIR	0	dis
4	-	-	-	CONTROL	1	en
5	P1_10	4	INOUT	BIDIR	0	dis
6	-	-	-	CONTROL	1	en
7	P1_11	5	INOUT	BIDIR	0	dis
8	-	-	-	CONTROL	1	en
9	P1_12	6	INOUT	BIDIR	0	dis
10	-	-	-	CONTROL	1	en
11	P1_13	7	INOUT	BIDIR	0	dis
12	-	-	-	CONTROL	1	en
13	P1_30	9	INOUT	BIDIR	0	dis
14	-	-	-	CONTROL	1	en
15	P1_31	10	INOUT	BIDIR	0	dis
16	-	-	-	CONTROL	1	en
17	P2_0	14	INOUT	BIDIR	0	dis
18	-	-	-	CONTROL	1	en
19	P2_1	15	INOUT	BIDIR	0	dis

图17. SAMPLE测试结果

9. 在TRACE32命令行输入BSDL.SET命令，出现BSDL.SET窗口。在**Instructions**字段中点击**EXTEST**，在**DR mode**字段中选择**Set Write**，如图18所示。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

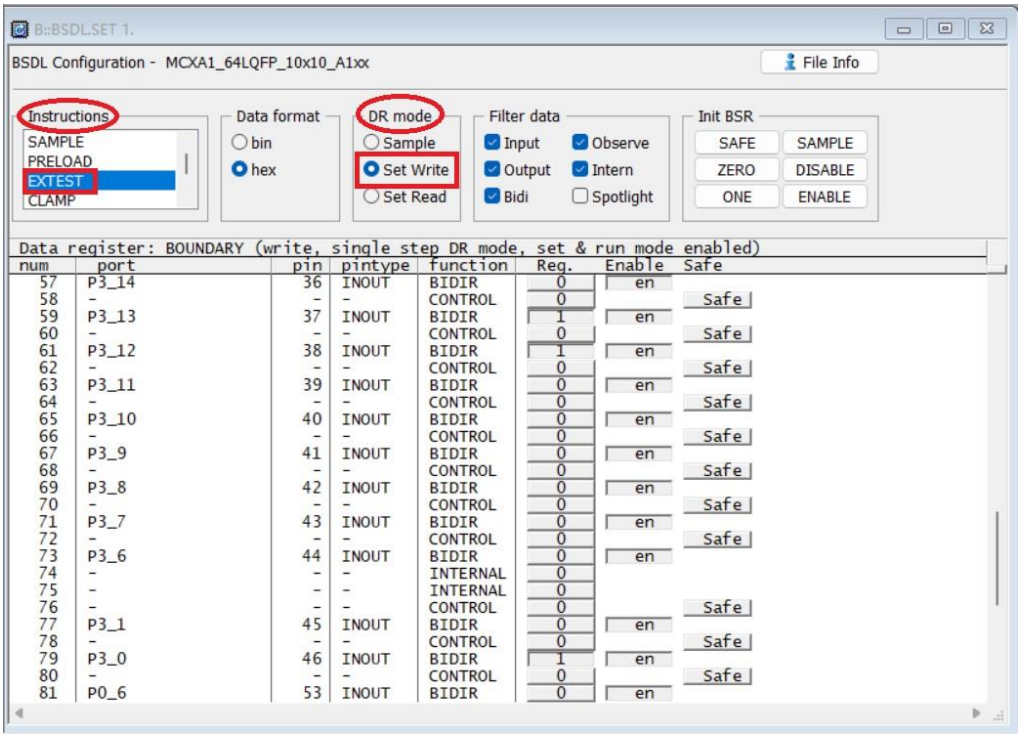


图18. BSDL.SET窗口中的EXTEST设置

切换到BSDL.state窗口中的**Run**选项卡，点击**SetAndRun**，如图18所示。

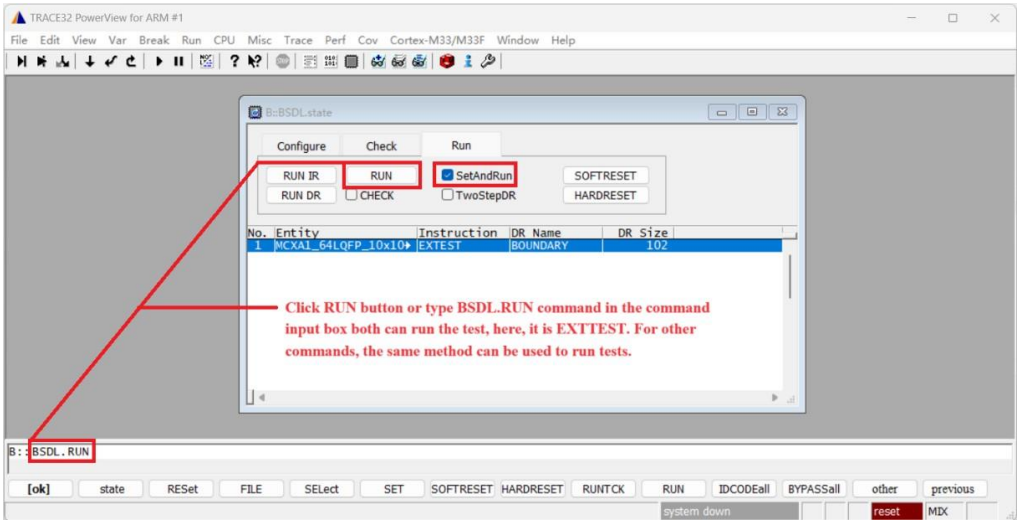


图19. BSDL.state窗口中的EXTEST设置

切换回BSDL.SET窗口。FRDM-MCXA153开发板有一个RGB LED指示灯。该LED指示灯有R（红）、G（绿）和B（蓝）三个颜色组件，分别连接到P3_12、P3_13和P3_0引脚。当P3_12、P3_13或P3_0输出高电平或低电平时，对应的R、G、B器件会熄灭或点亮。通过观察对应的RGB器件状态来判断引脚的输出电平。

在控制一个引脚的输出电平之前，需要通过点击**Init BSR**组中的**ENABLE**按钮或与要测试的引脚相对应的**ENABLE**列中的**en**按钮，来启用该引脚。通过将被测引脚对应的Reg.列中的按钮状态更改为1或0，可以控制引脚输出高电平或低电平。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

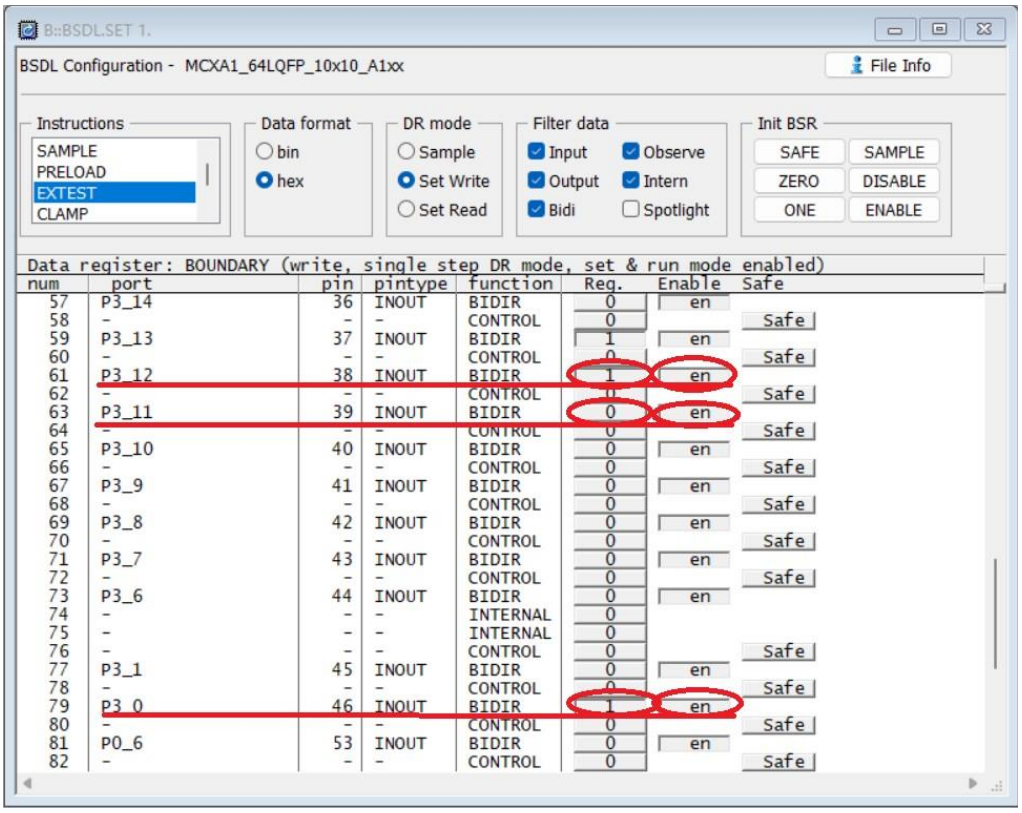


图20. 启用和切换信号电平

根据上述方法，遍历BSDL文件中定义的所有IO引脚。如果所有IO引脚都通过了测试，则表示BSDL的EXTTEST测试通过。

10. PRELOAD测试与EXTTEST一起使用。如图21所示，点击**ONE**或**ZERO**按钮可控制所有GPIO输出高电平或低电平，点击**Init BSR**组中的**ENABLE**按钮可启用所有GPIO。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

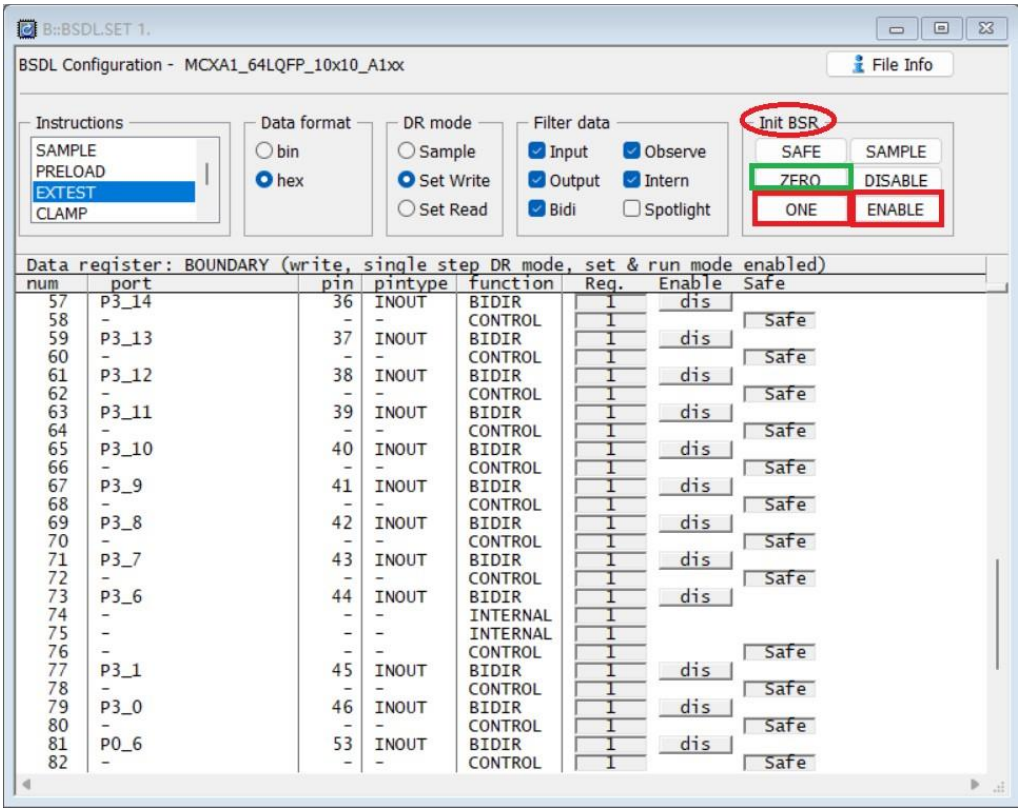


图21. 预加载IO输出状态

运行PRELOAD，然后运行EXTTEST，使用万用表测量所有IO引脚的逻辑状态是否真正符合预加载值。

按照上述方法，遍历BSDL文件中定义的所有IO引脚。如果所有IO引脚都通过测试，则意味着BSDL的PRELOAD测试已通过。

11. 选择BSDL.SET窗口中**Instructions**组的**HIGHZ**选项，然后运行HIGHZ测试。BSDL文件中定义的所有IO引脚都处于高阻态。以3.3V逻辑为例，如果向处于高阻态的引脚施加一个中间电平，比如1.65V，那么使用万用表测量该引脚时，应该显示为1.65V。这是因为处于高阻态的引脚因其高阻抗而被视为开路，不会对外部驱动源造成显著的压降。

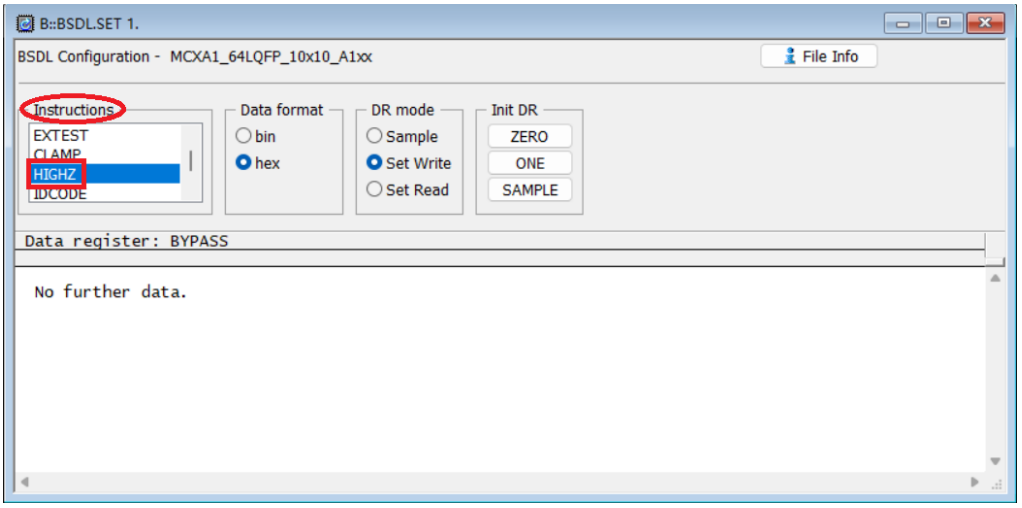


图22. HIGHZ设置

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

在HIGHZ测试开始后，所有引脚都处于高阻态。选择一个引脚并施加一个中间电平，这里选择了1.64V。使用万用表测量该引脚的电平。图23所示为P1_6引脚的HIGHZ测试结果。

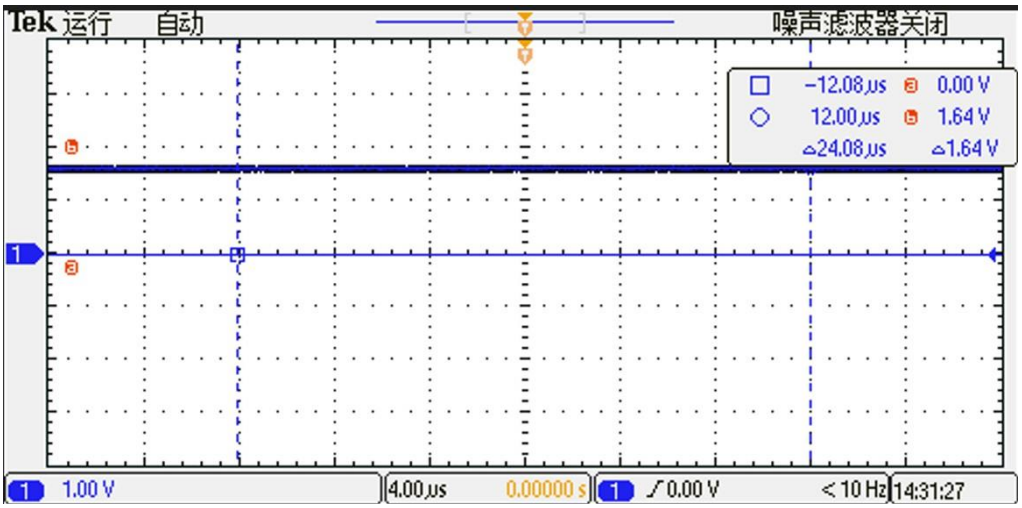


图23. HIGHZ测试结果

如图23所示，当外部驱动源施加到P1_6引脚时，几乎不会产生压降，这表明P1_6引脚确实处于高阻态。按照上述方法，遍历BSDL文件中定义的所有IO引脚。如果所有IO引脚都通过测试，则意味着BSDL的HIGHZ测试已通过。

5 自动化边界扫描测试

自动化边界扫描测试更方便快速测试。为了提高测试效率，TRACE32支持使用脚本。通过编写脚本程序可以执行自动化边界扫描测试。

在TRACE32主页面的**File**菜单项中，提供了三个与脚本相关的子菜单项：**New Script**、**Open Script.**和**Run Script**。它们分别用于创建、打开和运行脚本。

下面提供了一个用于自动进行边界扫描测试的脚本示例。

```
;System setup
SYStem.Mode Down                    ;Disables the debug mode.
SYStem.CPU  CortexM33               ;Tells TRACE32 the exact CPU type
                                    ;used on your target, CPU core of
                                    ;LPC553x is Cortex-M33.
SYStem.CONFIG.DEBUGPORTTYPE JTAG    ;Specifies which probe cable shall
                                    ;be used, here, JTAG is selected
SYStem.JtagClock    1MHz            ;Selects JTAG frequency (TCK)
;BSDL Settings
BSDL.RESet                          ;Initialize the boundary scan engine
BSDL.ParkState Select-DR-Scan       ;Set PartState as Select-DR-Scan
BSDL.state                          ;Open BSDL.state window
;Configure boundary scan chain
BSDL.FILE lpc553x100.bsdl           ;your BSDL file name
;Check boundary scan chain
BSDL.SOFTRESET
IF !BSDL.CHECK.BYPASS()             ;BYPASS Test
(
BSDL.BYPASSall
```


本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

```
PRINT %ERROR "Bypass test failed."
ENDDO
)
IF !BSDL.CHECK.IDCODE()            ;IDCODE Test
(
 BSDL.IDCODEall
 PRINT %ERROR "ID code test failed."
 ENDDO
)
;Perform SAMPLE test
BSDL.SAMPLEall

;Perform EXTTEST
;Pin output settings, you can add other pin output settings
BSDL.SET 1. PORT PIO0_7 0            ;Set PIO0_7 output as 0
BSDL.RUN DR                          ;Only apply data register settings
                                     ;to the boundary scan chain
BSDL.SET 1. IR EXTEST                ;Only apply instruction register
                                     ;settings to the boundary scan chain
BSDL.RUN                             ;BSDL run

;Perform HIGHZ test
BSDL.SET 1. IR HIGHZ                 ;Only apply instruction register
                                     ;settings to the boundary scan chain
BSDL.RUN                             ;BSDL run
```

6 关于本文中源代码的说明

本文中所示的示例代码具有以下版权和BSD-3-Clause许可：

2024年恩智浦版权所有；在满足以下条件的情况下，可以源代码和二进制文件的形式重新分发和使用本源代码（无论是否经过修改）：

1. 重新分发源代码必须保留上述版权声明、这些条件和以下免责声明。
2. 以二进制文件形式重新分发时，必须在文档和/或随分发提供的其他材料中复制上述版权声明、这些条件和以下免责声明。
3. 未经事先书面许可，不得使用版权所有者的姓名或参与者的姓名为本软件的衍生产品进行背书或推广。

本软件由版权所有者和参与者“按原样”提供，不承担任何明示或暗示的担保责任，包括但不限于对适销性和特定用途适用性的暗示保证。在任何情况下，无论因何种原因或根据何种法律条例，版权所有者或参与者均不对因使用本软件而导致的任何直接、间接、偶然、特殊、惩戒性或后果性损害（包括但不限于采购替代商品或服务；使用损失、数据损失或利润损失或业务中断）承担责任，无论是因合同、严格责任还是侵权行为（包括疏忽或其他原因）造成的，即使事先被告知有此类损害的可能性也不例外。

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

7 修订历史

表4. 修订历史

文档ID	发布日期	说明
AN14209 v.1	2024年4月12日	初始版本

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

Legal information

Definitions

Draft — A draft status on a document indicates that the content is still under internal review and subject to formal approval, which may result in modifications or additions. NXP Semiconductors does not give any representations or warranties as to the accuracy or completeness of information included in a draft version of a document and shall have no liability for the consequences of use of such information.

Disclaimers

Limited warranty and liability — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. NXP Semiconductors takes no responsibility for the content in this document if provided by an information source outside of NXP Semiconductors.

In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of NXP Semiconductors.

Right to make changes — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Suitability for use — NXP Semiconductors products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or malfunction of an NXP Semiconductors product can reasonably be expected to result in personal injury, death or severe property or environmental damage. NXP Semiconductors and its suppliers accept no liability for inclusion and/or use of NXP Semiconductors products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

Applications — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

Terms and conditions of commercial sale — NXP Semiconductors products are sold subject to the general terms and conditions of commercial sale, as published at https://www.nxp.com.cn/profile/terms, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. NXP Semiconductors hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of NXP Semiconductors products by customer.

Export control — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

Suitability for use in non-automotive qualified products — Unless this document expressly states that this specific NXP Semiconductors product is automotive qualified, the product is not suitable for automotive use. It is neither qualified nor tested in accordance with automotive testing or application requirements. NXP Semiconductors accepts no liability for inclusion and/or use of non-automotive qualified products in automotive equipment or applications.

In the event that customer uses the product for design-in and use in automotive applications to automotive specifications and standards, customer (a) shall use the product without NXP Semiconductors' warranty of the product for such automotive applications, use and specifications, and (b) whenever customer uses the product for automotive applications beyond NXP Semiconductors' specifications such use shall be solely at customer's own risk, and (c) customer fully indemnifies NXP Semiconductors for any liability, damages or failed product claims resulting from customer design and use of the product for automotive applications beyond NXP Semiconductors' standard warranty and NXP Semiconductors' product specifications.

Translations — A non-English (translated) version of a document, including the legal information in that document, is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

Security — Customer understands that all NXP products may be subject to unidentified vulnerabilities or may support established security standards or specifications with known limitations. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately.

Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP.

NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP B.V. — NXP B.V. is not an operating company and it does not distribute or sell products.

Trademarks

Notice: All referenced brands, product names, service names, and trademarks are the property of their respective owners.

NXP — wordmark and logo are trademarks of NXP B.V.

本文件中提供的所有信息均受法律免责声明的约束。

© 2024 NXP B.V. 版权所有。

AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile — are trademarks and/or registered trademarks of Arm Limited (or its subsidiaries or affiliates) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved.

MCX — is a trademark of NXP B.V.

Microsoft, Azure, and ThreadX — are trademarks of the Microsoft group of companies.

目录

1 介绍 2
2 JTAG和边界扫描 2
2.1 介绍 2
2.2 发展历史 2
2.3 基本原理 2
2.4 指令集 3
2.5 JTAG测试访问端口（TAP） 4
2.6 BSDL 4
2.7 JTAG和边界扫描的更多信息 5
3 构建边界扫描测试环境 5
3.1 边界扫描测试工具套件介绍 5
3.1.1 μTrace for Cortex-M 5
3.1.2 TRACE32 6
3.2 硬件环境 7
3.3 进入边界扫描模式 9
4 交互式边界扫描测试 9
5 自动化边界扫描测试 16
6 关于本文中源代码的说明 17
7 修订历史 18
法律声明 19

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© 2024 NXP B.V. **All rights reserved.**

For more information, please visit: https://www.nxp.com.cn

Date of release: 12 April 2024
Document identifier: AN14209